

Practitioner's Docket No. 1406/177

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Amon et al.

Application No.: 10/696,159

Group No.: 2812

Filed: October 29, 2003

Examiner: Not Assigned

For: METHOD FOR FABRICATING A SEMICONDUCTOR STRUCTURE

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF CERTIFIED COPY**

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

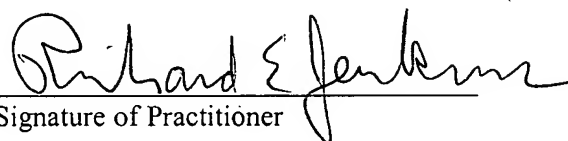
Country: DE

Application Number: 10250872.0

Filing Date: 10/31/2002

Date: 2-16-04

1406/177 REJ/cht  
Customer No.: 25297

  
Signature of Practitioner

Richard E. Jenkins  
Registration No.: 28,428

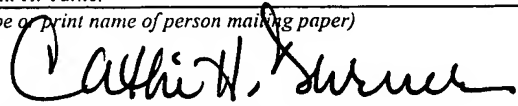
---

**CERTIFICATE OF MAILING (37 C.F.R. § 1.8(a))**

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date: 2-17-04

Cathi H. Turner  
(type or print name of person mailing paper)



Signature of person mailing paper

**WARNING:** "Facsimile transmissions are not permitted and if submitted will not be accorded a date of receipt" for "(4) Drawings submitted under §§ 1.81, 1.83 through 1.85, 1.152, 1.165, 1.174, 1.437 . . . ." 37 C.F.R. § 1.6(d)(4).

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung



**Aktenzeichen:** 102 50 872.0

**Anmeldetag:** 31. Oktober 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Verfahren zur Herstellung einer Halbleiterstruktur

**IPC:** H 01 L 21/8242



**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 5. November 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Kehle

## Beschreibung

## Verfahren zur Herstellung einer Halbleiterstruktur

- 5 Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung einer Halbleiterstruktur und insbesondere ein Verfahren zur Herstellung einer Halbleiterstruktur mit mehreren Gate-Stapeln auf einem Halbleitersubstrat.
- 10 Bei der Herstellung von DRAM-Bausteinen werden typischerweise die Array-Kontakte im Herstellungsprozeß erst nach Abscheidung einer ILD-Layer bzw. -Maske geätzt. Werden dann metallische Bitleitungskontakte, beispielsweise ein Wolfram-Kontakt auf Silizium (CB), verwendet, so benötigt man außerdem eine
- 15 Kontaktloch-Implantation zur Erniedrigung des Kontaktwiderstandes zwischen dem Halbleitermaterial und dem Metall. Diese Implantation erfordert einen eigenen photolithographischen Maskenschritt, bei dem nach Ätzung sämtlicher Kontaktlöcher (nicht nur der CB-Kontaktlöcher) alle anderen Kontaktlöcher,
- 20 wie CSN und CSP, in den Peripherie-Schaltkreisen abgedeckt und somit nur die CB-Kontaktlöcher durch die Maske unbedeckt und damit für die Implantation zugänglich sind. Mit anderen Worten benötigt man zur Implantation eines CB-Kontakts einen kostenverursachenden Maskenschritt (YA), bei dem die anderen
- 25 Kontakttypen CSN und CSP abgedeckt werden.

- Auswahl-Transistoren im Zellenfeld eines DRAM-Bausteins, auch Zelltransistoren genannt, weisen in der Regel große Anschlußwiderstände, insbesondere hohe Widerstände der Source-/Drain-
- 30 Bereiche, auf. Dies gründet darauf, daß man zur Erzeugung niedriger Anschlußwiderstände hohe Dotierstoffkonzentrationen oder beispielsweise eine Silizierung benötigt. Beides scheint bisher im Zellenfeld nicht möglich. Zum einen werden Silizierungen derzeit im DRAM-Auswahl-Transistoren-Array aus Kosten-
- 35 gründen nicht eingesetzt. Hohe Dotierstoffkonzentrationen im Source-/Drain-Gebiet auf der anderen Seite führen bei Transistoren mit Strukturabmessungen kleiner als 200 nm zu hohen

Dotierstoffgradienten, aus welchen hohe elektrische Felder zwischen dem Source-/Drain-Gebiet und einem darunterliegenden Wannengebiet resultieren. Hohe elektrische Felder wiederum verursachen erhöhte Leckströme (leakage) und damit kleine Haltezeiten (retention) des in der Speicherzelle gespeicherten Signals bzw. Pegels. Ein großer Anschlußwiderstand, welcher sich im wesentlichen aus dem Kontaktwiderstand und dem Widerstand des Source-Diffusionsgebietes zusammensetzt, birgt wiederum die Gefahr eines Verlustes an Baustein-Performance aufgrund niedrigerer Sättigungsströme.

Eine herkömmliche planare Halbleiterstruktur ist zur Erläuterung mit Bezug auf Fig. 3 dargestellt. Auf einem Halbleitersubstrat 10 mit einer darauf gebildeten Passivierung 11 ist ein erster Gate-Stapel GS1 und ein zweiter Gate-Stapel GS2 angeordnet. Ein Gate-Stapel GS1, GS2 ist jeweils derart strukturiert, daß auf einem Oxid 11 eine Polysilizium-Struktur 14 angeordnet ist, auf welche eine gleichartig strukturierte Metall-Silizid-Schicht 15 folgt. Diese beiden Gate-Stapel-Schichten 14, 15 sind an deren Seitenwänden mit einem Seitenwand-Oxid 17 versehen. In vertikaler Richtung nach oben folgt auf das Metall-Silizid 15 eine Siliziumnitrid-Struktur 16, welche sich auch über die Seitenwand-Oxid-Struktur 17 erstreckt. Abschließend wird die Gate-Stapel-Struktur GS1, GS2 an deren Seitenwand entweder mit einer SiON- oder SiN-Schicht 19 lateral ummantelt. Im Halbleitersubstrat 10, insbesondere zwischen den Gate-Stapeln GS1, GS2, ist ein leicht dotierter Bereich 18 mit einer Dotierstoffkonzentration von beispielsweise  $10^{19}$ - $10^{20}/\text{cm}^3$  (Dosis der Implantation  $10^{13}$ - $6 \cdot 10^{13}/\text{cm}^2$ ), z.B. aus Phos, vorgesehen, welcher vor oder nach dem Bilden des Seitenwand-Oxids 17 implantiert wird. Dieser lightly doped drain (LDD)-Bereich 18 erstreckt sich im wesentlichen jeweils zwischen den Übergängen der Gate-Stapel-Seitenwände zu deren Seitenwand-Oxid 17 und stellen aufgrund der niedrigen Dotierungskonzentration einen erhöhten Anschlußwiderstand bereit.

Zum Vorsehen einer Kontaktlochimplantation 13 bei einem metallischen CB-Kontakt, beispielsweise mit einer Ionenimplantation von  $10^{14}$ - $10^{15}/\text{cm}^2$ , wird die gesamte Halbleiterstruktur mit einer Maske (YA) (nicht dargestellt), beispielsweise einem ILD-Lack, versehen, welche derart strukturiert wird, daß nur die CB-Kontaktöffnungen zwischen den SiN- bzw. SiON-Deck- und/oder Seitenwänden 19 nicht von der Maske bedeckt sind, wohingegen die CSN- und CSP-Kontakte in der Peripherie (nicht dargestellt) mit dem Lack maskiert sind. YA ist eine sogenannte Blockmaske (nicht dargestellt), wohingegen die Struktur mit einer BPSG-Schicht 12a und einer darüberliegenden TEOS-Schicht 12b gemäß Fig. 3 sich durch die Strukturierung der Kontaktlöcher (CSN, CSP, CB) ergibt. Zur Erzeugung eines niedrigen CB-Kontaktwiderstands besteht nun die Möglichkeit, die Kontaktimplantation durch das nicht vom Lack verdeckte CB-Kontaktloch durch eine Dotierung 13 und damit Vorsehen einer hohen Kontakt-Dotierstoffkonzentration zu bilden.

Soll die Kontaktierung nachfolgend über einen metallischen Kontakt (nicht dargestellt), beispielsweise aus Wolfram, erfolgen, so ist zur Einstellung eines niedrigen Kontaktwiderstands eine solche CB-Kontaktimplantation üblich und unumgänglich. Von Nachteil dabei ist, daß für eine CB-Kontaktimplantation 13 ein extra photolithographischer Schritt notwendig ist, da zunächst alle drei Kontaktlochtypen (CB-, n-Typ-(CSN)- und p-Typ-(CSP)-Kontakte) gleichzeitig freigelegt sind, jedoch alle außer den CB-Kontaktlöchern durch eine Maske 12 vor der Implantation abzudecken sind. Darüber hinaus ist die Effektivität der Widerstandsherabsetzung durch die Kontaktlochimplantation 13 abhängig von der CB-Abmessung und dem lateralen Abstand d des CB-Kontaktes zur Gate-Stapel-Kante. Wird dieser Abstand d zu klein, beeinflußt die Kontaktimplantation 13 die Einsatzspannung des Transistors, wenn der Abstand X3 zwischen der Gate-Kante und der hohen Kontaktloch-Implantation 13 zu klein wird. Wird der Abstand d zu groß, steigt der Anschlußwiderstand an. Problematisch ist also, daß die Kontaktimplantation 13 nicht selbstjustiert zur

Gate-Kante, d.h. zum Transistor, erfolgt, sondern abhängig von der CB-Kontaktlochätzung, d.h. der CB-Kontaktlochdimension, ist.

- 5 Anstatt einer Metallisierung zum Bereitstellen des Kontakts im Kontaktloch besteht außerdem die Möglichkeit, einen Kontakt aus einem Polysilizium, d.h. hochdotiertes Poly-Si auf x-Si, bereitzustellen. In diesem Fall wird ein Dotierstoff (Phos, Arsen) aus (hoch-)dotiertem Poly-Silizium ausdiffundiert. Problematisch dabei ist jedoch, daß die Ausdiffusion des Dotanden aus dem Polysilizium schwer kontrollierbar ist, da eine Kontrolle des Dotiergehalts im Polysilizium erforderlich ist. Außerdem darf die Ausdiffusion weder zu stark, noch zu schwach sein, und darüber hinaus sind Einschränkungen an das thermische Budget nach dem Einbringen der Polysilizium-Füllung (nicht dargestellt) in das Kontaktloch zu beachten sind. Insbesondere bei zunehmendem Shrink, d.h. bei fortschreitender Abmessungsminimierung, wird durch den kleineren lateralen Abstand d des CB-Kontaktes von der Gate-Kante das thermische Budget der nachfolgenden thermischen Schritte sehr stark eingeschränkt.

Es ist Aufgabe der vorliegenden Erfindung, ein Verfahren zur Herstellung einer Halbleiterstruktur mit mehreren Gate-Stapeln auf einem Halbleitersubstrat bereitzustellen, durch welches der Anschlußwiderstand der Auswahltransistoren unter Vereinfachung des Herstellungsprozesses klein gehalten wird.

Erfindungsgemäß wird diese Aufgabe durch das im Anspruch 1 angegebene Verfahren zur Herstellung einer Halbleiterstruktur mit mehreren Gate-Stapeln auf einem Halbleitersubstrat gelöst.

Die der vorliegenden Erfindung zugrunde liegende Idee besteht im wesentlichen darin, im Herstellungsprozeß eine Maske bzw. eine Lackebene einzusparen und entsprechend sowohl eine sogenannte "single-sided-halo-implant" für den Auswahl-Transistor

im Zellenfeld als auch die Kontaktloch-Implantation für einen CB-Kontakt mit einer einzigen Maskenebene (GA-Ebene) durchzuführen. Durch diese Kombination zweier Implantationen vormals mit zwei erforderlichen Lackebenen (GA-Ebene und YA-Ebene) zu einer einzigen Ebene (GA-Ebene) ist es möglich, CB-seitig extrem niedrige Anschlußwiderstände bzw. Serienwiderstände für die Auswahl-Transistoren im Zellenfeld, beispielsweise eines DRAM, zu realisieren, ohne die Haltezeit des Zellsignals, vorzugsweise gespeichert in einer Speicherkapazität, zu gefährden bzw. herabzusetzen.

In der vorliegenden Erfindung wird das eingangs erwähnte Problem insbesondere dadurch gelöst, ein Verfahren zur Herstellung einer Halbleiterstruktur mit mehreren Gate-Stapeln auf einem Halbleitersubstrat mit den folgenden Schritten bereitzustellen: Aufbringen der Gate-Stapel auf ein Gate-Dielektrikum über dem Halbleitersubstrat; Bilden eines Seitenwand-Oxids auf Seitenwänden der Gate-Stapel; Aufbringen und Strukturieren einer Maske auf der Halbleiterstruktur; und Implantieren einer Kontakt-Dotierung selbstjustiert zum Seitenwand-Oxid in von der Maske nicht bedeckten Bereichen.

Die Erfindung ist insbesondere darin gekennzeichnet, auf der Source-Seite des Auswahltransistors, d.h. auf der Seite des CB-Kontaktes, durch eine geeignete n-Typ-Ionen-Implantation mit hoher Dosis, beispielsweise  $10^{14}$ - $3 \cdot 10^{15}/\text{cm}^2$ , vorzugsweise mit Arsen, einen sehr niedrigen Schichtwiderstand einzustellen. Dazu wird eine eigentlich zum Durchführen einer einseitigen p-Typ-Halo-Implantation bereits erstellte Maskenebene (GA) verwendet, welche bereits derart strukturiert ist, daß sie die Bitleitungsseite des Auswahl-Transistors öffnet.

Vorteilhaft dabei ist, daß die n-Typ-Implantation selbstjustiert zur Gate-Kante bzw. zum Gate-Oxid erfolgt und einen extrem niedrigen Anschlußwiderstand des Auswahl-Transistors gewährleistet. Darüber hinaus kann eine Implantation durch das fertige CB-Kontaktloch (bereits mit SiN auch seitlich

eingehüllter Gate-Stapel) entfallen, da durch diese selbst-justiert zur Gate-Kante vorgesehene n-Typ-Implantation einen niedrigen Kontaktwiderstand des CB-Kontakts gewährleistet, wodurch eine komplette photolithographische Ebene, beispielsweise in 110 nm-Technologie, entfallen kann.

Weiterhin besteht durch diese Erfindung die Möglichkeit, die Lage eines Bit-Line-Halo-Implants von der Hochdosiskontaktloch-Implantation räumlich zu trennen. Dazu kann zunächst die Kontaktloch-Implantation durchgeführt und der entsprechende Kontaktloch-Implant gesetzt werden, wobei dann nach einem Oxid-Strip an der Bitleitungssseite des Array-Transistors der zugehörige Halo-Implant gesetzt wird. Zusätzlich kann dann aufgrund des dann günstigeren Aspekt-Verhältnisses, der Halo-Implant unter größeren Winkeln gesetzt und damit dessen Effizienz gesteigert werden. Außerdem besteht nach dem Seiten-Oxid-Strip nach Entfernen der Maske (GA) die Möglichkeit, einen Ausweitungs-LDD-Implant für die Array-Einrichtung zu setzen (räumliche Trennung von HDD und LDD-Implant beim Array-Transistor).

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des Erfindungsgegenstandes.

Gemäß einer bevorzugten Weiterbildung wird nach dem Implantieren der Kontakt-Dotierung das Seitenwand-Oxid in seiner lateralen Erstreckung in nicht von der Maske bedeckten Bereichen reduziert.

Gemäß einer weiteren bevorzugten Weiterbildung erfolgt auf die Reduktion der Erstreckung des lateralen Seitenwand-Oxids hin eine weitere Implantation anderer Dotierung.

Gemäß einer weiteren bevorzugten Weiterbildung ist die weitere Dotierung eine p-Dotierung niedriger Konzentration, vorzugsweise mit einer mindestens um eine Zenerpotenz niedrige-



ren Dotierstoffkonzentration als die Kontakt-Dotierungskonzentration.

- 5 Gemäß einer weiteren bevorzugten Weiterbildung ist die weitere Dotierung eine Bitleitungs-Halo-Dotierung, welche aus einer vorbestimmten Richtung unter einem vorbestimmten Winkel, vorzugsweise im Bereich zwischen einschließlich  $0^\circ$  und  $30^\circ$ , implantiert wird.
- 10 Gemäß einer weiteren bevorzugten Weiterbildung wird die Kontakt-Dotierung unter einem vorbestimmten Winkel  $\alpha=0^\circ$  implantiert.
- 15 Gemäß einer weiteren bevorzugten Weiterbildung ist die Kontakt-Dotierung eine n-Dotierung hoher Konzentration, die durch eine Ionenimplantation von etwa  $10^{14} - 3 \cdot 10^{15}/\text{cm}^2$ , vorzugsweise mit Arsen erzeugt wird.
- 20 Gemäß einer weiteren bevorzugten Weiterbildung erfolgt nach einem Entfernen der Maske eine Implantation eines, vorzugsweise gleichen, Dotierstoffes niedrigerer Dotierstoffkonzentration als die der Kontakt-Dotierung.
- 25 Gemäß einer weiteren bevorzugten Weiterbildung werden die Gate-Stapel in etwa äquidistant zueinander aufgebracht, wobei alternierend unter jedem dritten oder ersten benachbarten Gate-Stapel im Halbleitersubstrat in einer Querschnittsebene ein Speicherkondensator angeordnet ist.
- 30 Gemäß einer weiteren bevorzugten Weiterbildung wird das Verfahren zur Herstellung von Logik-Transistoren eingesetzt.
- 35 Gemäß einer weiteren bevorzugten Weiterbildung wird das Verfahren zur Herstellung von Auswahl-Transistoren, vorzugsweise von einem DRAM, eingesetzt.

Gemäß einer weiteren bevorzugten Weiterbildung werden die Gate-Stapel mit einer Länge von unter 200 nm hergestellt.

5      Gemäß einer weiteren bevorzugten Weiterbildung weisen die Gate-Stapel eine untere erste Schicht aus Polysilizium und eine darüberliegende zweite Schicht aus einem Metall-Silizid oder einem Metall auf.

10      Gemäß einer weiteren bevorzugten Weiterbildung wird zum Erstellen der Gate-Stapel ein Aufbringen und Strukturieren der ersten, der darüberliegenden zweiten und einer darauf angeordneten dritten Schicht auf dem Gate-Dielektrikum durchgeführt.

15      Gemäß einer weiteren bevorzugten Weiterbildung weist die dritte Schicht Siliziumnitrid oder -oxid auf.

20      Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen:

25      Fig. 1A, B      eine schematische Querschnittsansicht einer Halbleiterstruktur zur Erläuterung einer Ausführungsform der vorliegenden Erfindung, wobei Fig. 1A einen größeren Ausschnitt darstellt und Fig. 1B das in Fig. 1A gestrichelte Rechteck in Vergrößerung verdeutlicht;

30      Fig. 2A, B      eine schematische Querschnittsansicht einer Halbleiterstruktur zur Erläuterung aufeinanderfolgender Schritte im Herstellungsprozeß gemäß einer Ausführungsform der vorliegenden Erfindung; und

35

Fig. 3 eine schematisches Querschnittsansicht einer üblichen Halbleiterstruktur.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

In Fig. 1A ist schematisch ein Querschnitt einer DRAM-Halbleiterstruktur in einem größeren Ausschnitt dargestellt. Eine Mehrzahl von Gate-Stapeln GS1, GS2, GS3 und GS4 sind auf einem Halbleitersubstrat 10, vorzugsweise äquidistant angeordnet, wobei unter jedem dritten oder ersten Gate-Stapel GS3, GS4 in einer Querschnittsebene ein Speicherkondensator TK zum Speichern einer Information, d.h. einer elektrischen Ladung angeordnet ist. Die Gate-Stapel GS1 bis GS4 sind vorzugsweise gleichartig strukturiert, in einer Mehrzahl vorgesehen und werden mit Bezug auf Fig. 1B näher beschrieben. Über dem Zwischenraum zwischen den Gate-Stapeln GS3 und GS1 bzw. GS2 und GS4 ist schematisch eine Maske 12 dargestellt, so daß der Bereich zwischen dem Gate-Stapel GS1 und dem Gate-Stapel GS2 nicht durch die Maske 12 abgedeckt ist und dort eine Implantation I erfolgen kann, so daß ein mit einer Dotierung versehener Abschnitt 13 im Halbleitersubstrat 10 gebildet wird.

Fig. 1B zeigt eine Ausschnittsvergrößerung des Inhalts des gestrichelten Rechtecks gemäß Fig. 1A. Auf einem Halbleitersubstrat 10 ist ein Dielektrikum 11 zur Passivierung der Substratoberfläche vorgesehen. Die Passivierungsschicht 11 weist vorzugsweise ein Oxid auf. In vertikaler Richtung nach oben folgt in vorbestimmten Abschnitten ein erster Gate-Stapel GS1 und ein zweiter Gate-Stapel GS2, welche im wesentlichen gleichartig strukturiert aufgebaut sind. Auf der Halbleiterpassivierung 11 wird zur Erzeugung der Gate-Stapel GS1, GS2 eine Polysilizium-Schicht 14 aufgebracht, auf welche ein Metall-Silizid 15 oder ein Metall folgt. Daran schließt sich in vertikaler Richtung nach oben vorzugsweise eine Siliziumnitrid-Schicht 16 (SiN) an. Die einzelnen Schichten 14, 15

und 16 der Gate-Stapel GS1, GS2 werden derart strukturiert, daß die aufeinanderliegenden Schichten 14, 15 und 16 in der Draufsicht in etwa kongruent sind. Die einzelnen Gate-Stapel GS1 und GS2 verlaufen vorzugsweise streifenartig und parallel in Zeichenebene betrachtet.

Nach dem Strukturieren der Gate-Stapel GS1, GS2 mit den entsprechenden Schichten 14, 15 und 16 erfolgt eine Oxidation der Gate-Stapel-Seitenwände der Polysilizium-Schicht 14 und der Metall-Silizid-Schicht 15 und somit Bilden eines Seitenwand-Oxids 17. Daraufhin wird eine Maske 12 vorzugsweise aus einem photolithographisch bearbeitbaren Lack auf die Halbleiterstruktur aufgebracht und derart strukturiert, daß eine Öffnung in etwa zwischen der Mitte des ersten Gate-Stapels GS1 und des zweiten Gate-Stapels GS2 gebildet wird.

Daraufhin folgt eine Ionen-Implantation aus einer vorbestimmten Implantationsrichtung I, beispielsweise unter dem Implantationswinkel  $\alpha = 0^\circ$  vorzugsweise mit Arsen, d.h. mit Ionen vom n-Typ. Die n-Typ-Ionen-Implantation 13 weist eine hohe Dosis auf etwa  $10^{14} - 3 \cdot 10^{15}/\text{cm}^2$  in einer vorbestimmten vertikalen Erstreckung  $x_1$  im Halbleitersubstrat 10. Es erfolgt somit eine zur Gate-Kante bzw. zum Gate-Seitenwand-Oxid 17 selbstjustierte n-Typ-Implantation 13 nach dem Vorsehen des Seitenwand-Oxids 17, wobei die Implantation aufgrund der Maske 12 nur auf der CB-Seite (Bitline-Kontakt) des Auswahl-Transistors erfolgt. Auf diese Weise wird ein extrem niedriger Schichtwiderstand selbstjustiert zur Gate-Kante gewährleistet und dadurch eine zusätzliche Variation der Einsatzspannung und des Anschlußwiderstands verhindert. Daraus folgt eine bessere Performance des Auswahl-Transistors, da ein höherer Sättigungsstrom zu erreichen ist. Da die HDD-(highly doped drain) Implantation nur auf der CB-Seite erfolgt, tritt keine Beeinflussung der Haltezeit (Retention) der Ladung in den Speicherkondensatoren TK auf.

In Fig. 2A ist die Anordnung gemäß Fig. 1B nach einem darauffolgenden Prozeßschritt dargestellt. Gemäß Fig. 2A wurde das Seitenwand-Oxid 17 im von der Maske 12 nicht bedeckten Bereich der Kontaktloch-Implantation (CB-Kontakt) abgedünnt, d.h. in seiner lateralen Erstreckung gegenüber der lateralen Erstreckung des Seitenwand-Oxids 17 verringert, so daß ein abgedünntes Seitenwand-Oxid 17' gebildet wird. Diese Abdünnung des Seitenwand-Oxids 17 erfolgt vorzugsweise in einem Ätzschritt.

Gemäß Fig. 2B wird nun bei der Struktur gemäß Fig. 2A eine weitere Implantation, vorzugsweise unter einem Winkel  $\alpha$  im Bereich zwischen einschließlich  $0^\circ$  und  $90^\circ$ , durchgeführt. Diese Single-sided-halo-Implantation 18 ist vom p-Typ und weist eine Dotierstoffkonzentration auf, welche um mindestens eine Zenerpotenz geringer ist als die Hochdosis n-Typ-Dotierung des Abschnitts 13 im Substrat 10. Durch den SWOX-Strip, d.h. durch die Reduktion der lateralen Erstreckung des Seitenwand-Oxids 17, 17', ist eine räumliche Trennung der p-Typ-halo-Implantation ermöglicht, da diese einen lateralen "Vorsprung" vor dem hoch n-dotierten Abschnitt 13 erhält. Dieser p-dotierte Abschnitt 18 (halo-implant) wird dadurch in seiner Effektivität gesteigert. Wird die Halo-Implantation unter einem Winkel  $\alpha$  durchgeführt, welcher von  $0^\circ$  verschieden ist, so erhöht sich durch die Abdünnung des Seitenwand-Oxids 17 zu 17' zum einen der theoretisch mögliche Winkel  $\alpha_{\max}$ , bevor eine vollständige Abschattung bei der Implantation durch die benachbarte Gate-Stapel-Struktur eintritt, vor allem steigt aber mit größerem  $\alpha$  auch die Effektivität der Halo-Implantation.

Auf diese Weise ist ein Auswahltransistor im Zellenfeld eines DRAM mit einem extrem niedrigen Anschlußwiderstand (Source-seitig) realisierbar, wobei ein kompletter Photolithographie-schritt mit einer zusätzlichen Photomaske entfallen kann.

Obwohl die vorliegende Erfindung vorstehend anhand eines vorbestimmten Ausführungsbeispiels beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Weise modifizierbar.

5

So sind insbesondere die Dotierungsarten (n-Typ; p-Typ) austauschbar. Auch die erwähnten Materialien (Wolfram-Silizid, Siliziumnitrid, ...) sind beispielhaft zu sehen. Darüber hinaus ist die vorliegenden Erfindung auch bei der Herstellung anderer Halbleiterstrukturen als den beschriebenen DRAM-Speicherstrukturen vorstellbar.

10

## Patentansprüche

1. Verfahren zur Herstellung einer Halbleiterstruktur mit  
5 mehreren Gate-Stapeln (GS1, GS2, GS3, GS4) auf einem  
Halbleitersubstrat (10) mit den folgenden Schritten:

Aufbringen der Gate-Stapel (GS1, GS2, GS3, GS4) auf ein  
Gate-Dielektrikum (11) über dem Halbleitersubstrat (10);

10 Bilden eines Seitenwand-Oxids (17) auf Seitenwänden der  
Gate-Stapel (GS1, GS2, GS3, GS4);

Aufbringen und Strukturieren einer Maske (12) auf der  
15 Halbleiterstruktur; und

Implantieren einer Kontakt-Dotierung (13) selbstjustiert  
zum Seitenwand-Oxid (17) der Gate-Stapel (GS1, GS2) in  
von der Maske (12) nicht bedeckten Bereichen.

- 20 2. Verfahren nach Anspruch 1,  
dadurch gekennzeichnet,  
daß nach dem Implantieren der Kontakt-Dotierung (13) das  
Seitenwand-Oxid (17) in seiner lateralen Erstreckung in  
25 nicht von der Maske (12) bedeckten Bereichen reduziert  
wird.

3. Verfahren nach Anspruch 2,  
dadurch gekennzeichnet,  
30 daß auf die Reduktion der Erstreckung des lateralen Sei-  
tenwand-Oxids (17') eine weitere Implantation anderer  
Dotierung (18) erfolgt.

4. Verfahren nach Anspruch 3,  
d a d u r c h g e k e n n z e i c h n e t,  
daß die weitere Dotierung (18) eine p- Dotierung niedriger  
Konzentration, vorzugsweise mit einer mindestens um  
5 eine Zehnerpotenz niedrigeren Dotierstoffkonzentration  
als die Kontakt-Dotierungskonzentration, ist.
5. Verfahren nach Anspruch 3,  
d a d u r c h g e k e n n z e i c h n e t,  
10 daß die weitere Dotierung (18) eine Bitleitungs-Halo-  
Dotierung ist, welche aus einer vorbestimmten Richtung  
unter einem vorbestimmten Winkel ( $\alpha$ ), vorzugsweise im  
Bereich zwischen einschließlich  $0^\circ$  und  $30^\circ$ , implantiert  
wird.
- 15 6. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
daß die Kontakt-Dotierung (13) unter einem vorbestimmten  
Winkel ( $\alpha$ )  $\alpha = 0^\circ$  implantiert wird.
- 20 7. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
daß die Kontakt-Dotierung (13) eine n- Dotierung hoher  
Konzentration, beispielsweise einer Implantationsdosis  
25 von etwa  $10^{14}$  bis  $3 \cdot 10^{15}/\text{cm}^2$ , vorzugsweise mit Arsen, ist.
8. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
30 daß nach einem Entfernen der Maske (12) eine Implantati-  
on eines, vorzugsweise identischen, Dotierstoffes nied-  
rigerer Dotierstoffkonzentration als die der Kontakt-  
Dotierung (13) erfolgt.



9. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
daß die Gate-Stapel (GS1, GS2, GS3, GS4) in etwa äqui-  
distant zueinander aufgebracht werden, wobei alternie-  
5 rend unter jedem dritten oder ersten benachbarten Gate-  
Stapel (GS3, GS4) im Halbleitersubstrat (10) in einer  
Querschnittsebene ein Speicherkondensator (TK) angeord-  
net ist.
- 10 10. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
daß das Verfahren zur Herstellung von Logik-Transistoren  
eingesetzt wird.
- 15 11. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
daß das Verfahren zur Herstellung von Auswahl-Transi-  
storen, vorzugsweise von einem DRAM, eingesetzt wird.
- 20 12. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
daß die Gate-Stapel (GS1, GS2) mit einer Länge von unter  
200 nm hergestellt werden.
- 25 13. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
daß die Gate-Stapel (GS1, GS2) parallel, streifenförmig  
auf dem Halbleitersubstrat (10) vorgesehen werden.
- 30 14. Verfahren nach einem der vorangehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
daß die Gate-Stapel (GS1, GS2) eine untere erste Schicht  
(14) aus Polysilizium und eine darüberliegende zweite

Schicht (15) aus einem Metall-Silizid oder einem Metall aufweisen.

- 5 15. Verfahren nach einem der vorangehenden Ansprüche,  
dadurch gekennzeichnet,  
daß zum Erstellen der Gate-Stapel (GS1, GS2) ein Auf-  
bringen und Strukturieren der ersten, der darüberliegen-  
den zweiten und einer darauf angeordneten dritten  
10 Schicht (14, 15, 16) auf dem Gate-Dielektrikum (11)  
durchgeführt wird.

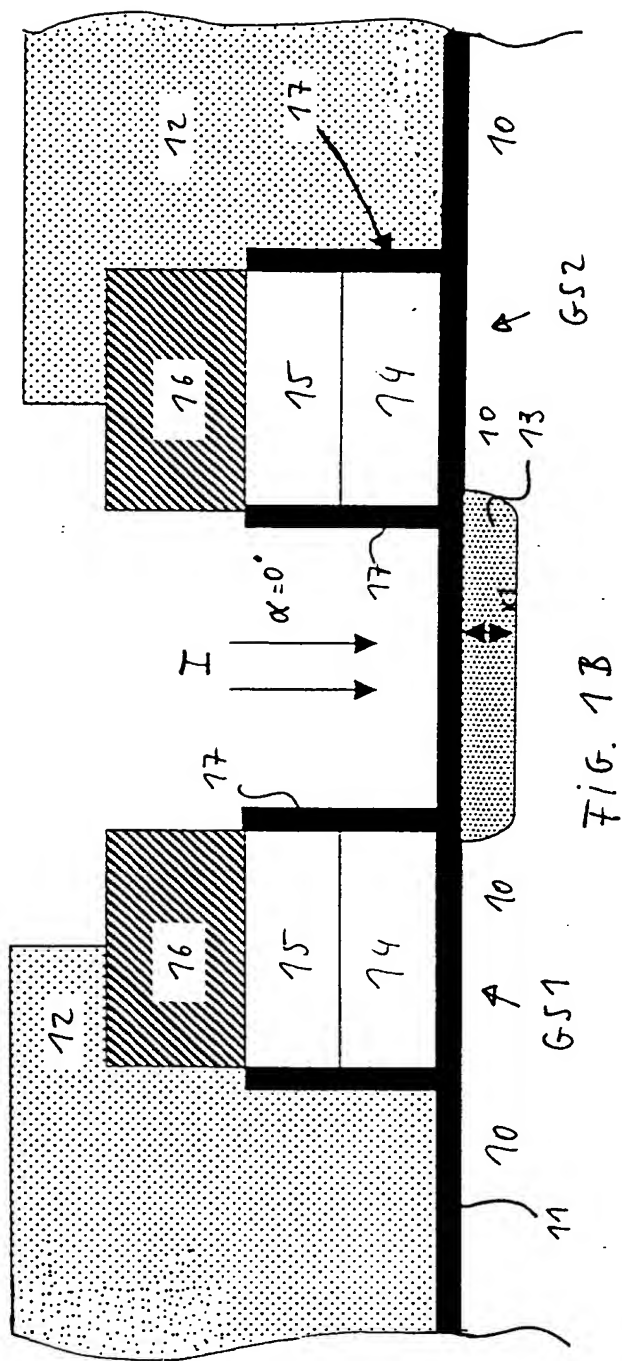
16. Verfahren nach Anspruch 15,  
dadurch gekennzeichnet,  
daß die dritte Schicht (16) Siliziumnitrid oder -oxid  
15 aufweist.

## Zusammenfassung

### Verfahren zur Herstellung einer Halbleiterstruktur

- 5 Die vorliegende Erfindung stellt ein Verfahren zur Herstellung einer Halbleiterstruktur mit mehreren Gate-Stapeln (GS1, GS2, GS3, GS4) auf einem Halbleitersubstrat (10) bereit, mit den folgenden Schritten: Aufbringen der Gate-Stapel (GS1, GS2, GS3, GS4) auf ein Gate-Dielektrikum (11) über dem Halbleitersubstrat (10); Bilden eines Seitenwand-Oxids (17) auf  
10 Seitenwänden der Gate-Stapel (GS1, GS2, GS3, GS4); Aufbringen und Strukturieren einer Maske (12) auf der Halbleiterstruktur; und Implantieren einer Kontakt-Dotierung (13) selbstjustiert zum Seitenwand-Oxid (17) der Gate-Stapel (GS1, GS2) in  
15 von der Maske (12) nicht bedeckten Bereichen.

Fig. 1B



## Bezugszeichenliste

	10	Halbleitersubstrat
	11	Substratpassivierung
5	12	Maske, vorzugsweise photolithographisch strukturiert
	12A	BPSG-Schicht
	12B	TEOS-Schicht
	13	implantierte Dotierung im Substrat (hohe Konzentration)
	14	Poly-Silizium (Poly-Si)
10	15	Metallsilizid z.B. W Si x oder Metall
	16	Silizium Nitrid (SiN)
	17	Seitenwandoxid (SWOX)
	17'	abgedünntes Seitenwandoxid (SWOX)
	18	Implantierte Dotierung im Substrat (niedrige Konzentration)
15	19	Gate-Stapel-Seiteneinhüllung (SiN oder SiON)
	TK	Speicher-Kondensator
	I	Implantationsrichtung
	$\alpha$	Implantationswinkel
20	GS1, GS2, GS3, GS4	Gatestapel
	X1	vertikale Dotierungserstreckung
	X2	horizontaler Abstand zw. Kontaktimplant und Gate-Kontaktöffnung
	X3	horizontaler Abstand zw. Gate-Stapel-Seitenwand und Kontaktimplant
25	d	horizontaler Abstand zw. Gate-Kontaktlochöffnung und Gate-Stapel-Seitenwand

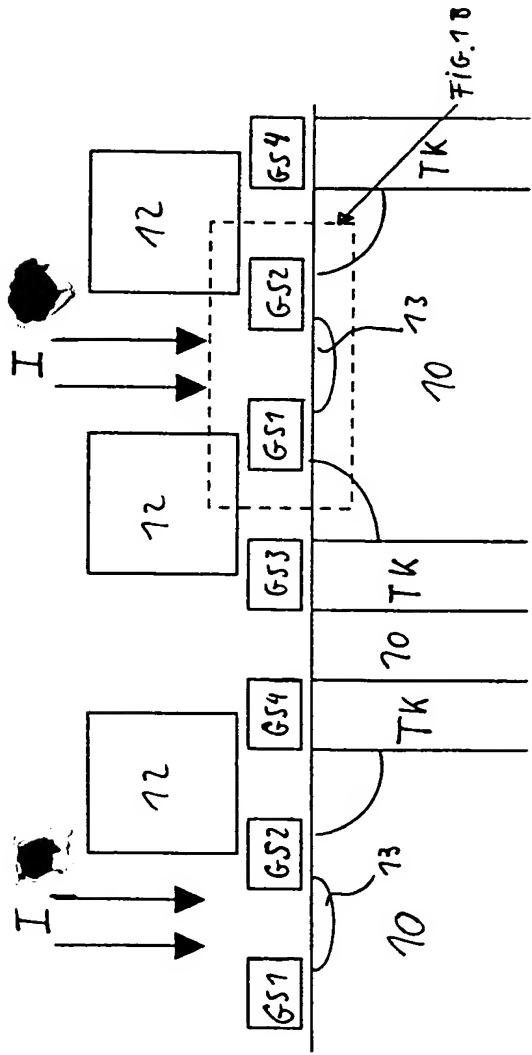


FIG. 1A

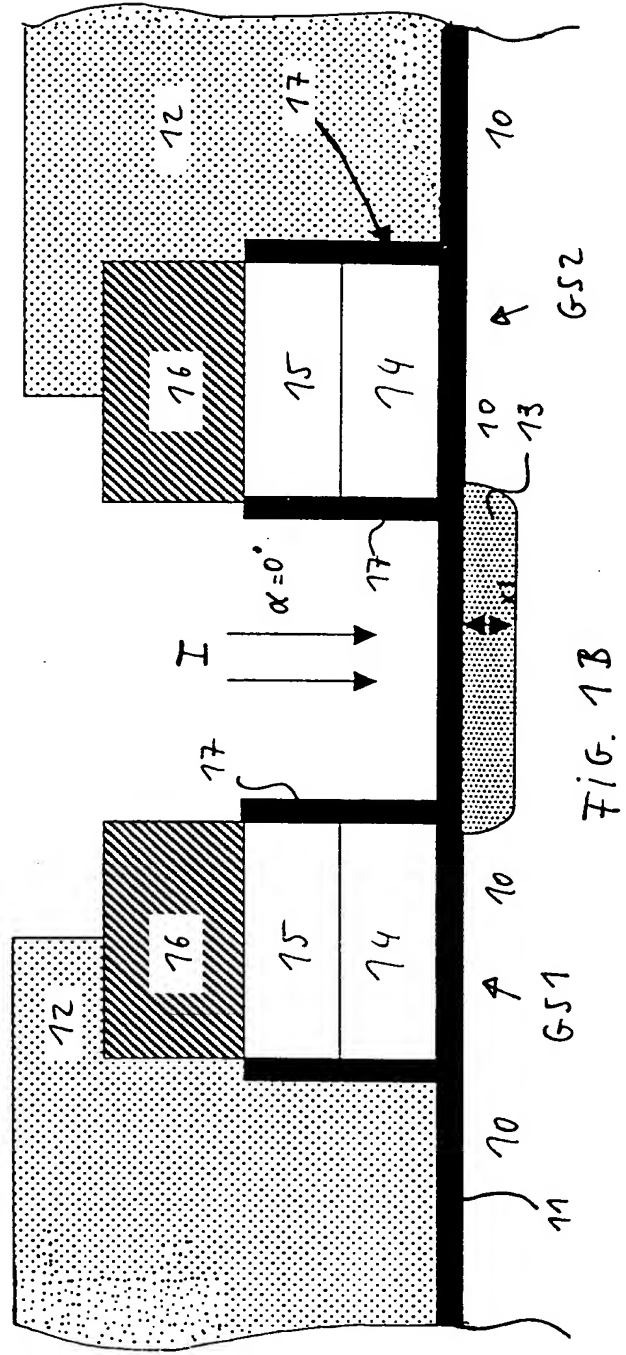
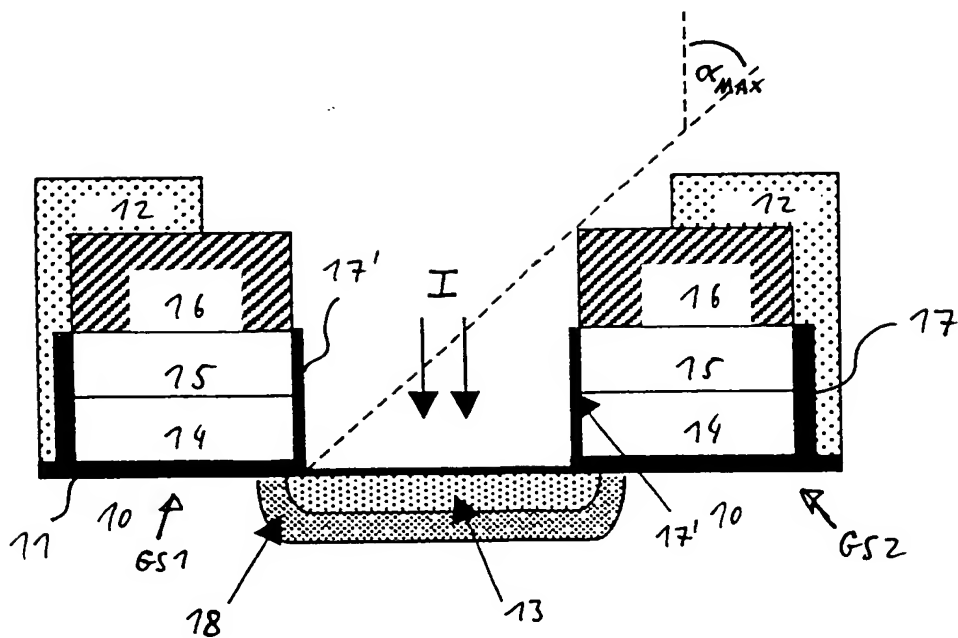
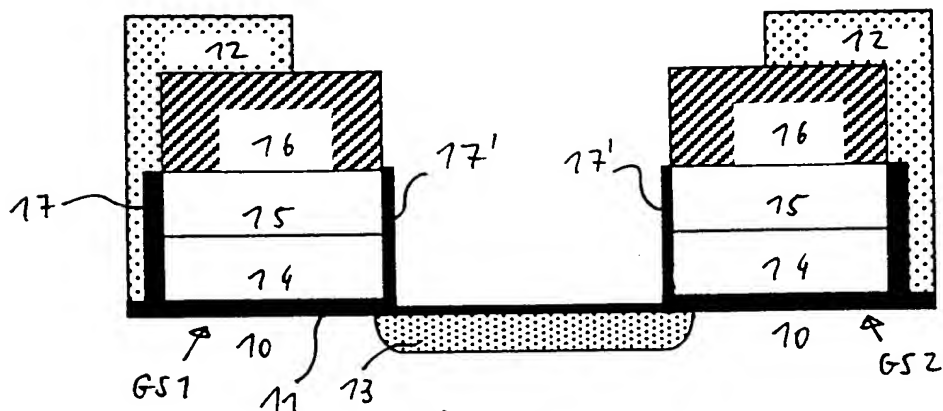


FIG. 1B



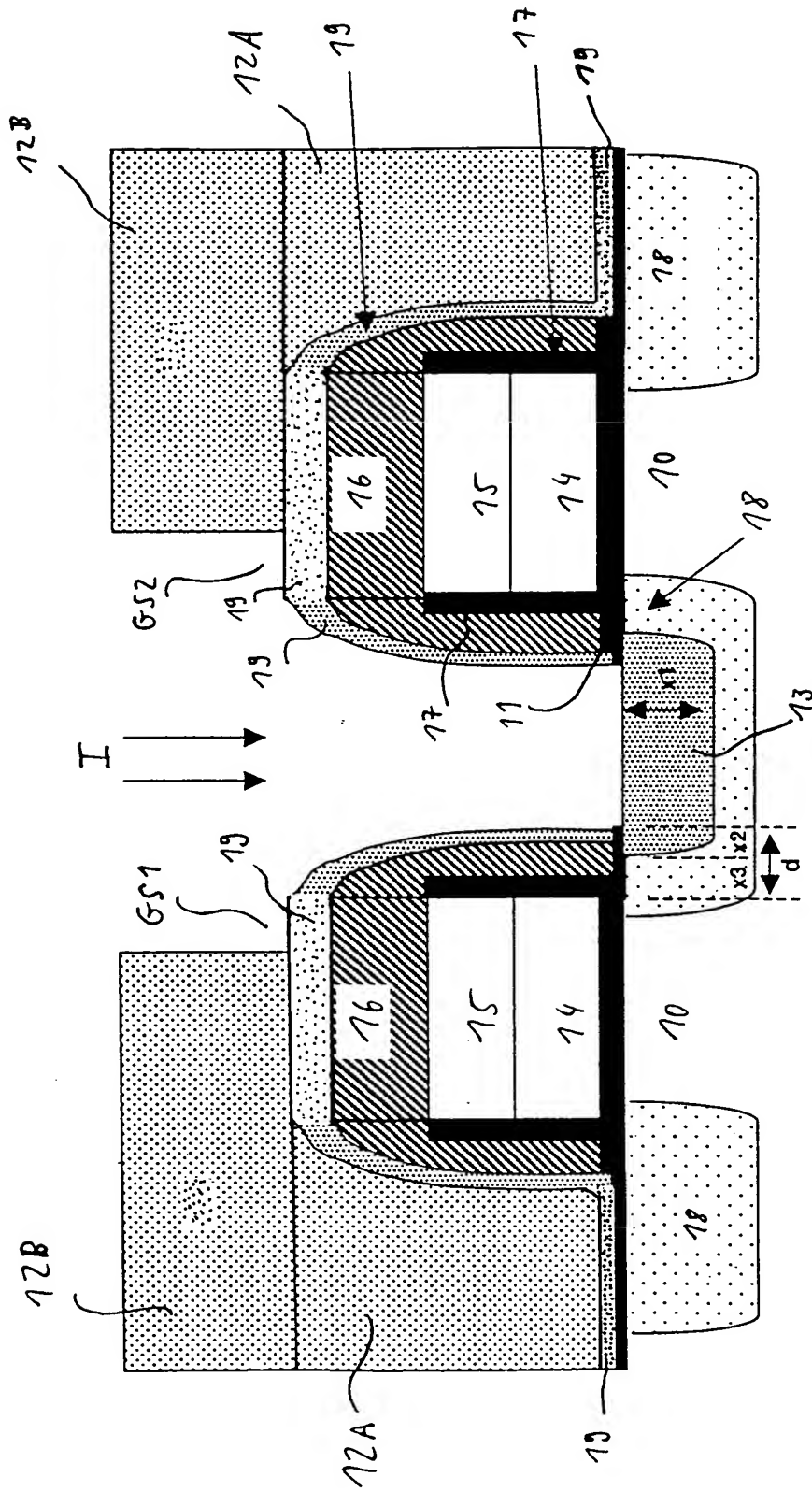


Fig. 3